

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10208477 A**(43) Date of publication of application: **07.08.98**

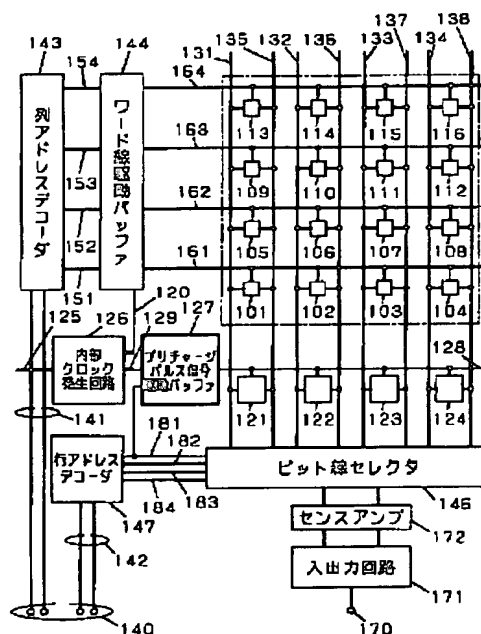
(51) Int. Cl.

**G11C 11/41**(21) Application number: **09008252**(22) Date of filing: **21.01.97**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **GION MASAHIRO  
MINEMARU TAKAYUKI  
FUKUMOTO TADASHI****(54) CONTINUOUS ADDRESS ACCESS MEMORY****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce power consumption at the time of continuous address access without substantially increasing the scale of memory circuit by precharging a bit line through a precharge circuit only when a 0 address is inputted.

**SOLUTION:** A row address decode signal 181 is connected with a precharge pulse drive buffer 127 comprising a 2-input NAND circuit and an inverter circuit. Since a precharge pulse signal 128 has high potential only during an interval when a row address decode signal 181 has high potential, bit line is not precharged unnecessarily. The precharge pulse signal 128 generates a pulse not for all cycles but only for the first and fifth cycles through modification in the arrangement of the precharge pulse signal drive buffer.

COPYRIGHT: (C)1998,JPO



(11)特許出願公開番号

特開平10-208477

(43)公開日 平成10年(1998)8月7日

(51) IntCl.<sup>8</sup>  
G 1 1 C 11/41

**識別記号**

F I  
G 1 1 C 11/34

3 0 1 D

審査請求 未請求 請求項の数 4 OL (全 10 頁)

(21)出願番号 特願平9-8252

(22)出願日 平成9年(1997)1月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 祇園 雅弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 發明者 峯丸 貴行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 福本 義

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

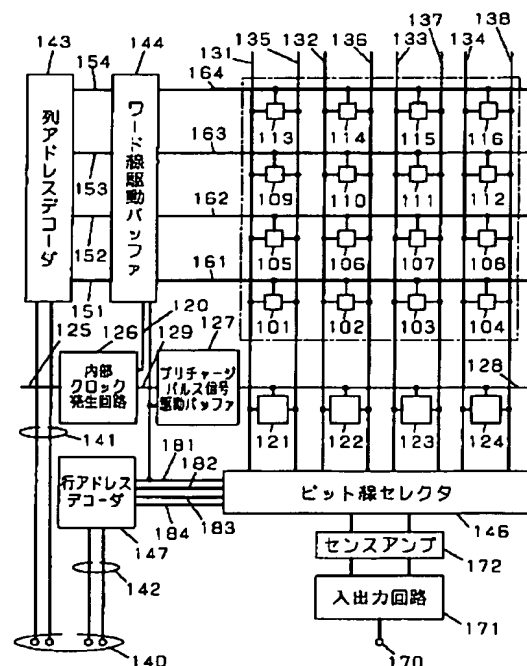
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 連続アドレスアクセスメモリ

(57) 【要約】

【課題】 連続アドレスでアクセスする場合に、ビット線を不必要に充放電しないよう効率的な電力消費を行える半導体メモリを提供する。

【解決手段】 半導体メモリにおける、プリチャージパルス駆動バッファ127の制御や、ワード線駆動バッファ144の制御を、従来の制御信号に加え、行アドレスデコード信号181でも行う構成とする。これにより、従来の半導体メモリに対してわずかな回路の追加および変更を行うだけで、連続アクセス時のビット線の不必要な充放電を回避することができるため、半導体メモリの低消費電力化を図ることができる。



## 【特許請求の範囲】

【請求項1】 複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイ内の任意のメモリセルを選択するワード線およびビット線と、アドレスの列アドレスをデコードし列アドレスデコード信号を出力する列アドレスデコーダと、前記列アドレスデコード信号により前記ワード線の一つを選択するワード線駆動バッファと、前記アドレスの行アドレスをデコードし行アドレスデコード信号を出力する行アドレスデコーダと、前記行アドレスデコード信号により前記ビット線の一つを選択するビット線セクタと、前記ビット線をプリチャージするプリチャージ回路と、前記プリチャージ回路を制御するプリチャージパルス信号を駆動するプリチャージパルス信号駆動バッファと、ワード線駆動バッファおよびプリチャージパルス信号駆動バッファを制御する内部クロック発生回路と、前記メモリセルからのデータの読み出し及び前記メモリセルへのデータの書き込みを行うセンスアンプおよび入出力回路とを具備するメモリにおいて、前記アドレスとして0から連続して1ずつ増加する値が順次入力され、前記行アドレスとして0が入力された時のみ、前記プリチャージ回路が前記ビット線をプリチャージすることを特徴とする連続アドレスアクセスメモリ。

【請求項2】 前記行アドレスとして0が入力された時のみ、前記列アドレスデコーダが前記列アドレスをデコードし前記ワード線の一つを選択することを特徴とする請求項1に記載の連続アドレスアクセスメモリ。

【請求項3】 前記行アドレスとして0が入力され前記行アドレスデコーダが選択するビット線に接続されているメモリセル以外は大きさが小さいことを特徴とする請求項1および請求項2に記載の連続アドレスアクセスメモリ。

【請求項4】 ランダムアドレスアクセスを行うか連続アドレスアクセスを行うかを選択するアクセス選択信号を入力とするアクセス選択回路を有し、ランダムアドレスアクセスが選択された場合は、毎サイクル前記ビット線のプリチャージを行うことを特徴とする請求項1に記載の連続アドレスアクセスメモリ。

## 【発明の詳細な説明】

【0001】

\*40 【表1】

列アドレス141の値	列アドレスデコーダ143の動作
00	列アドレスデコード信号151をHIGH電位にする
01	列アドレスデコード信号152をHIGH電位にする
10	列アドレスデコード信号153をHIGH電位にする
11	列アドレスデコード信号154をHIGH電位にする

【0006】

【表2】

\* 【発明の属する技術分野】 本発明は、半導体メモリに関し、特に連続したアドレスでアクセスを行う場合に、消費電力を低減させることが可能なメモリに関するものである。

【0002】

【従来の技術】 従来の半導体メモリの一例としてメモリセルが16個で構成される半導体メモリについて、図9～図12を参照しながら説明を行う。

【0003】 最初に図の簡単な説明を以下に行う。図9は、従来の半導体メモリの回路図である。図10は、従来の半導体メモリのプリチャージパルス信号駆動バッファの一例の回路図である。図11は、従来の半導体メモリのワード線駆動バッファの一例の回路図である。図12は、従来の半導体メモリのタイミングチャートである。

【0004】 図9～図11中の構成要素の内容は次の通りである。101～116がメモリセル、161～164がワード線、131～134が正転ビット線、135～138が反転ビット線、140がアドレス、141が列アドレス、143が列アドレスデコーダ、151～154が列アドレスデコード信号、144がワード線駆動バッファ、142が行アドレス、147が行アドレスデコーダ、181～184が行アドレスデコード信号、146がビット線セクタ、125がアドレス変化信号または外部クロック、126が内部クロック発生回路、120、129が内部クロック、127がプリチャージパルス信号駆動バッファ、128がプリチャージパルス信号、121～124がプリチャージ回路、172がセンスアンプ、171が入出力回路、170が入出力信号、201がインバータ回路、202が2入力NAND回路である。ただし、メモリセル101～116の正転データが読み出されるビット線を正転ビット線131～134とし、メモリセル101～116の反転データが読み出されるビット線を反転ビット線135～138とする。また、列アドレスデコーダ143、行アドレスデコーダ147、ビット線セクタ146は、それぞれ、(表1)、(表2)、(表3)に示すような動作をすることとする。

【0005】

3

4

行アドレス 142の値	行アドレスデコード147の動作
00	行アドレスデコード信号181をHIGH電位にする
01	行アドレスデコード信号182をHIGH電位にする
10	行アドレスデコード信号183をHIGH電位にする
11	行アドレスデコード信号184をHIGH電位にする

【0007】

\* \* 【表3】

HIGH電位信号	選択されるビット線
行アドレスデコード信号181	正転ビット線131と反転ビット線135
行アドレスデコード信号182	正転ビット線132と反転ビット線136
行アドレスデコード信号183	正転ビット線133と反転ビット線137
行アドレスデコード信号184	正転ビット線134と反転ビット線138

【0008】以上の構成要素が図9～図11に示すように接続されている。図12中に示す波形は、アドレス140の波形、アドレス変化信号もしくは外部クロック125の波形、内部クロック120、129の波形、プリチャージパルス信号128の波形、正転ビット線131～134の波形、列アドレスデコード信号151～152の波形、ワード線161～162の波形、行アドレスデコード信号181～184の波形である。

【0009】以下、従来の半導体メモリの読み出し時の動作を説明する。初期状態として、すべてのアドレスのメモリにLOWデータが記憶されているとする。これらを0アドレス(0000)、・・・、5アドレス(0101)というように、0から連続して1ずつ増加するアドレスで、第1サイクルから第6サイクルまでの6サイクル分を読み出す場合を示す。図12では、このときの主要な信号波形を表示している。ただし、アドレスの値は、2進数で表しており、このうち上位2ビットが列アドレス、下位2ビットが行アドレスを示す。

【0010】まず、図12の各サイクルの、プリチャージ期間T1の動作を説明する。プリチャージ期間T1では、アドレス140が入力され読み出しサイクルが始まると、まず、図12に示すような内部クロック120、129が生成される。この内部クロック120、129は、例えば、非同期型メモリの場合には、アドレス変化信号125に同期して内部クロック発生回路126で生成され、同期型メモリの場合には、外部クロック125に同期して内部クロック発生回路126で生成される。

【0011】このうち、内部クロック129は、プリチャージパルス信号駆動バッファを制御して、プリチャージパルス信号128を生成させる。生成されたプリチャージパルス信号128は、プリチャージ回路121～124を制御して、正転ビット線131～134および反転ビット線135～138をプリチャージし、電位をH

IGHに引き上げる。

【0012】一方、内部クロック120は、内部クロック129より少し遅れて出力され、ワード線駆動バッファ144の制御を行う。このクロックについては後の読み出し期間T2の説明のところで述べる。

【0013】以上の動作と並行してアドレス140のデコードが行われる。アドレス140のデコードは、上位2ビットの列アドレス141のデコードと、下位2ビットの行アドレス142のデコードとに分けて同時に行われる。

【0014】列アドレス141は、列アドレスデコード143に入りデコードされる。列アドレスデコード後、いずれかの列アドレスデコード信号がHIGH電位となる。図12では、第1サイクルから第4サイクルまでアドレスの上位2ビットが00であるので、この間は、列アドレスデコード信号151がHIGHレベルとなる。また、第5サイクルから第6サイクルまではアドレスの上位2ビットが01であるので、この間は、列アドレスデコード信号152がHIGH電位となる。このように列アドレス141が一意に決まると、一つの列アドレスデコード信号が選択され、HIGH電位となる。

【0015】一方、行アドレス142は、行アドレスデコード147に入りデコードされる。行アドレスデコード後、いずれかの行アドレスデコード信号がHIGH電位となる。図12では、第1サイクルから第6サイクルまでのアドレスの下位2ビットが00→01→10→11→00→01と順に変化するので、この間、行アドレスデコード信号181～184は、図12に示すように、順にHIGH電位になる。このように行アドレス142が一意に決まると、一つの行アドレスデコード信号181～184が選択され、HIGH電位となる。

【0016】次に、図12の各サイクルの、読み出し期間T2の動作を説明する。読み出し期間T2では、列ア

ドレスデコード信号151~154と、内部クロック120が、ワード線駆動バッファ144に入力されワード線161~164が駆動される。ワード線駆動バッファ144は、図11に示すような構成になっているので、列アドレスデコード信号151~154と、内部クロック120との論理積をワード線161~164に出力する。

【0017】図12の場合では、ワード線161、162の波形は、それぞれ、列アドレスデコード信号151と内部クロック120との論理積の波形、列アドレスデコード信号152と内部クロック120との論理積の波形となる。これにより、第1サイクルから第4サイクルまでは、ワード線161にパルス波形が生成され、ワード線161がHIGH電位の期間、ワード線161に接続されているメモリセル101~104のデータが正転ビット線131~134に読み出される。今、メモリセルのデータはすべてLOWであるので正転ビット線131~134の電位は、ワード線161がHIGH電位の間、徐々に下がっていく。また、第5サイクルから第6サイクルまでは、ワード線162にパルス波形が生成されるのでワード線162がHIGH電位の期間、ワード線162に接続されているメモリセル105~108のデータが正転ビット線131~134に読み出される。このときも、メモリセルのデータはすべてLOWであるので正転ビット線131~134の電位は、ワード線162がHIGH電位の間、徐々に下がっていく。反転ビット線135~138にはメモリセルの反転データが読み出されるので、反転ビット線の電位は、この場合HIGH電位のままである。

【0018】行アドレスデコード信号181~182は、ビット線セレクトに入力され、これにより、センスアンプに接続される正転ビット線および反転ビット線が選択される。図12では、第1サイクルから第6サイクルまで、行アドレスデコード信号が181→182→183→184→181→182という順でHIGH電位になるので、正転ビット線は、131→132→133→134→131→132という順で選択され、反転ビット線は、135→136→137→138→135→136という順で選択される。

【0019】以上説明したような順に、それぞれのサイクルで、ワード線161~164の中の一つと、正転ビット線131~134と反転ビット線135~138の中の一つが選択されていくので、順に、第1サイクルではメモリセル101のデータ、第2サイクルではメモリセル102のデータ、第3サイクルではメモリセル103のデータ、第4サイクルではメモリセル104のデータ、第5サイクルではメモリセル105のデータ、第6サイクルではメモリセル106のデータが正転、反転ともセンスアンプ172に送られる。センスアンプ172では、この正転データと反転データの差分を増幅し、入

出力回路171に送る。最後に入出力回路171から入出力信号170として選択されたメモリセルのデータが出力される。

【0020】以上のようにして、メモリセルのデータが順次読み出される。

【0021】

【発明が解決しようとする課題】従来の半導体メモリでは、以上述べたように、毎サイクルプリチャージを行うため、その都度ビット線対がHIGH電位に引き上げられていた。これは、メモリセルのデータ内容破壊の防止や、アクセスの高速化のために必要な動作ではあるが、連続アドレスでアクセスする場合には、非効率的な電力消費を行ってしまうという問題をかかえていた。具体的に図12の場合で説明すると、第1サイクルで、0アドレスのメモリセル101のデータを読み出し、第2サイクルで、1アドレスのメモリセル102のデータを読み出そうとした場合、実は、第1サイクルで既にメモリセル102のデータは、ビット線に読み出されており、それを第2サイクルで、わざわざプリチャージしてビット線から消去した後、再度読み出しを行っているのである。つまりビット線を不必要に充放電しているのである。

【0022】本発明はかかる点に鑑み、従来の半導体メモリの回路規模をほとんど増大させることなく、連続アドレスアクセス時に消費電力を削減できる半導体メモリを提供することを目的とする。

【0023】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

【0024】すなわち、半導体メモリにおける、プリチャージパルス駆動バッファの制御およびワード線駆動バッファの制御の少なくとも一方の制御を、従来の制御信号に加え、行アドレスデコード信号でも行う構成とするものである。

【0025】本発明によれば、従来の半導体メモリに対してわずかな回路の追加および変更を行うだけで、連続アクセス時のビット線の不必要な充放電を回避することができるため、従来より消費電力の少ない半導体メモリを容易に実現することが可能である。

【0026】

【発明の実施の形態】以下、本発明の請求項1の実施の形態について説明する。

【0027】図1は、本発明の請求項1の実施の形態に係る半導体メモリの回路図である。図2は、本発明の請求項1および請求項2の実施の形態に係る半導体メモリのプリチャージパルス信号駆動バッファの一例の回路図である。図3は、本発明の請求項1の実施の形態に係る半導体メモリのタイミングチャートである。

【0028】図1~図2中の構成要素の内容および接続

関係は、図9～図10の従来の半導体メモリの回路図中のものとはほとんど同じである。説明の重複を避けるために、異なっている箇所をみの説明を行う。

【0029】本発明と従来例との相違点は二つある。一つは、図1に示すように、行アドレスデコード信号181がプリチャージパルス駆動バッファ127に接続されている点であり、もう一つは、図2に示すように、プリチャージパルス駆動バッファ127の内部が2入力NAND回路202とインバータ回路201で構成されている点である。以上2点以外は従来と同様の構成である。

【0030】以上のような構成をとることによって、行アドレスデコード信号181がHIGH電位となる期間以外は、プリチャージパルス信号128がHIGH電位にならないので、不必要にビット線をプリチャージすることがなくなる。具体的に、この様子を図3の半導体メモリのタイミングチャートをもとに以下説明する。なお、図3の半導体メモリのタイミングチャートは、従来例の動作と比較できるように、従来の技術の説明で述べたのと同様のアドレス順で読み出しを行った場合を示している。

【0031】図3の半導体メモリのタイミングチャートは、図12の従来の半導体メモリのタイミングチャートと比べると、プリチャージパルス信号128の波形と、正転ビット線131～134の波形が異なっている。それ以外は同じ波形で、従来の技術の説明で述べたのと同じ動作をしている。

【0032】プリチャージパルス信号128は、従来は図12に示すように、すべてのサイクルでパルスが発生していたが、本発明では図3に示すように、第1サイクルと第5サイクルのみパルスが発生している。これは、プリチャージパルス信号駆動バッファを図2のように構成することによって、行アドレスデコード信号181がHIGH電位となるサイクルのみ、プリチャージパルス信号128がHIGHになるように制御されるためである。行アドレスデコード信号181は、第1サイクルと第5サイクルのみHIGHとなるため、プリチャージパルス信号128は、図3に示すような波形となる。

【0033】正転ビット線131～134は、従来は図12に示すように、すべてのサイクルのプリチャージ期間T1でHIGH電位に引き上げられているが、上記したようにプリチャージパルス信号128が第1サイクルと第5サイクルのみHIGH電位となるため、本発明では図3に示すように、正転ビット線131～134は、第1サイクルと第5サイクルのプリチャージ期間T1でのみHIGH電位に引き上げられている。これにより、第2サイクル～第4サイクルと第6サイクルの読み出し期間T2では、既にビット線に読み出されているデータをプリチャージによって不必要に消去することなく読み出しを行うことができる。

【0034】以上のように、本発明によると、不必要な

プリチャージによって電力を無駄に消費することなくデータの読み出しを行うことができる。

【0035】以下、本発明の請求項2の実施の形態について説明する。図4は、本発明の請求項2の実施の形態に係る半導体メモリの回路図である。図5は、本発明の請求項2の実施の形態に係る半導体メモリのワード線駆動バッファの一例の回路図である。図6は、本発明の請求項2の実施の形態に係る半導体メモリのタイミングチャートである。

【0036】図4～図5中の構成要素の内容および接続関係は、図9～図11の従来の半導体メモリの回路図中のものとはほとんど同じである。説明の重複を避けるために、異なっている箇所をみの説明を行う。

【0037】本発明と従来例との相違点は三つある。一つめは、図4に示すように、行アドレスデコード信号181がプリチャージパルス駆動バッファ127とワード線駆動バッファ144に接続されている点であり、二つめは、図2に示すように、プリチャージパルス駆動バッファ127の内部が2入力NAND回路202とインバータ回路201で構成されている点であり、三つめは、図5に示すように、ワード線駆動バッファが3入力NAND回路203とインバータ回路201で構成されている点である。以上3点以外は従来と同様の構成である。

【0038】以上のような構成をとることによって、行アドレスデコード信号181がHIGH電位となる期間以外は、プリチャージパルス信号128がHIGH電位にならないので、不必要にビット線をプリチャージすることがなくなる。また、行アドレスデコード信号181がHIGH電位となる期間以外は、ワード線161～164がHIGH電位にならないので、不必要にビット線の電荷を放電することがなくなる。具体的に、この様子を図6の半導体メモリのタイミングチャートをもとに以下説明する。ただし、「不必要にビット線をプリチャージすることがなくなる」ということに関する説明は、請求項1の実施の形態についての説明と同様なので省略し、「不必要にビット線の電荷を放電することがなくなる」ということに関する説明のみを行う。なお、図6の半導体メモリのタイミングチャートは、従来例の動作と比較できるように、従来の技術の説明で述べたのと同様のアドレス順で読み出しを行った場合を示している。

【0039】図12の従来の半導体メモリのタイミングチャートと比べると、プリチャージパルス信号128の波形と、正転ビット線131～134の波形と、ワード線161～162の波形が異なっている。それ以外は同じ波形で、従来の技術の説明で述べたのと同じ動作をしている。

【0040】ワード線161は、従来は図12に示すように、第1サイクル～第4サイクルでパルスが発生していたが、本発明では図6に示すように、第1サイクルの

みパルスが発生している。また、ワード線162は、従来は図12に示すように、第5サイクル～第6サイクルでパルスが発生していたが、本発明では図6に示すように、第5サイクルのみパルスが発生している。これは、ワード線駆動バッファ144を図5のように構成することによって、行アドレスデコード信号181がHIGH電位となるサイクルのみ、ワード線161～162がHIGHになるように制御されるためである。行アドレスデコード信号181は第1サイクルと第5サイクルのみHIGHとなるため、ワード線161と162は、図6

【0041】正転ビット線131～134は、従来は図3に示すように、すべてのサイクルの読み出し期間T2でメモリセルからのデータの読み出しが行われ、電位が徐々に下げられていたが、本発明では図6に示すように、ワード線161と162がそれぞれ第1サイクルと第5サイクルのみHIGH電位となるため、正転ビット線131～134は、第1サイクルと第5サイクルの読み出し期間T2でのみメモリセルからのデータの読み出しが行われる。これにより、第2サイクル～第4サイクルと第6サイクルの読み出し期間T2では、既に十分デイスチャージが行われ電位が下げられているビット線を、不必要にデイスチャージすることなく読み出しを行うことができる。

【0042】以上のように、本発明によると、不必要なデイスチャージによって電力を無駄に消費することなくデータの読み出しを行うことができる。

【0043】以下、本発明の請求項3の実施の形態について説明する。図6において、アドレス140は、0000→0001→0010→0011と変化しているので、メモリセル101、102、103、104のデータが、それぞれ、第1サイクル、第2サイクル、第3サイクル、第4サイクルに読み出される。ところが、ビット線には、メモリセル101～104のデータが第1サイクルにすべて読み出され、ビット線をセンスアンプが検出できる電位まで引き下げている。このうち、メモリセル102、103、104のデータは、第1サイクルにその電位まで引き下げる必要はなく、それぞれ、第2サイクル、第3サイクル、第4サイクルまでに引き下げれば動作上問題はない。つまり、行アドレス142が00

【0044】以上の理由より、本発明の請求項3の実施の形態に係る半導体メモリは、行アドレス142が00のときに選択されないメモリセルのサイズをより小さくする構成とする。こうすることにより、半導体メモリの面積が削減でき、寄生容量を小さくできるので、さらに消費電力を削減することができる。

【0045】以下、本発明の請求項4の実施の形態について説明する。図7は、本発明の請求項4の実施の形態

に係る半導体メモリの回路図である。図8は、本発明の請求項4の実施の形態に係る半導体メモリのアクセス選択回路の一例の回路図である。

【0046】図7～図8中の構成要素の内容および接続関係は、図2と図4～図5の半導体メモリの回路図中のものとほとんど同じである。説明の重複を避けるために、異なっている箇所のみの説明を行う。

【0047】相違点は二つある。一つめは、ランダムアドレスアクセスを行うか連続アドレスアクセスを行うかを選択するアクセス選択信号190が加わっている点であり、もう一つは、2入力NAND回路202とインバータ回路201で構成されているアクセス選択回路191が加わっている点である。アクセス選択回路191には、アクセス選択信号190と行アドレスデコード信号181が入力され、その出力192がワード線駆動バッファ144とプリチャージパルス信号駆動バッファ127を制御している。

【0048】以上のような構成をとることによって、アクセス選択信号190がHIGH電位の場合には、行アドレスデコード信号181と同じ信号がアクセス選択回路191からワード線駆動バッファ144とプリチャージパルス信号駆動バッファ127に伝わり、本発明の請求項1の実施の形態と同様の連続アドレスアクセス動作をする。また、アクセス選択信号190がLOW電位の場合には、アクセス選択回路191からワード線駆動バッファ144とプリチャージパルス信号駆動バッファ127にHIGH電位が伝えられ、従来の技術と同様の毎サイクルプリチャージを行うランダムアクセス動作をする。

【0049】このように簡単な回路で、ランダムアクセスを行うメモリとしても、消費電力を削減できる連続アドレスアクセスメモリとしても使用することができる。

#### 【0050】

【発明の効果】以上述べたように本発明によれば、従来の半導体メモリの回路規模をほとんど増大させることなく、連続アドレスアクセス時に不必要な充放電によって電力を無駄に消費しない低消費電力な半導体メモリを実現できる。

#### 【図面の簡単な説明】

【図1】本発明の請求項1の実施の形態に係る半導体メモリの回路図

【図2】本発明の請求項1の実施の形態に係る半導体メモリのプリチャージパルス信号駆動バッファの一例の回路図

【図3】本発明の請求項1の実施の形態に係る半導体メモリのタイミングチャート

【図4】本発明の請求項2の実施の形態に係る半導体メモリの回路図

【図5】本発明の請求項2の実施の形態に係る半導体メモリのワード線駆動バッファの一例の回路図



## 11

【図6】本発明の請求項2の実施の形態に係る半導体メモリのタイミングチャート

【図7】本発明の請求項4の実施の形態に係る半導体メモリの回路図

【図8】本発明の請求項4の実施の形態に係る半導体メモリのアクセス選択回路の一例の回路図

【図9】従来の半導体メモリの回路図

【図10】従来の半導体メモリのプリチャージパルス信号駆動バッファの一例の回路図

【図11】従来の半導体メモリのワード線駆動バッファの一例の回路図

【図12】従来の半導体メモリのタイミングチャート

【符号の説明】

101～116 メモリセル

161～164 ワード線

131～134 正転ビット線

135～138 反転ビット線

140 アドレス

141 列アドレス

143 列アドレスデコーダ

151～154 列アドレスデコード信号

\* 144 ワード線駆動バッファ

142 行アドレス

147 行アドレスデコーダ

181～184 行アドレスデコード信号

146 ビット線セレクタ

125 アドレス変化信号または外部クロック

126 内部クロック発生回路

120、129 内部クロック

127 プリチャージパルス信号駆動バッファ

128 プリチャージパルス信号

121～124 プリチャージ回路

172 センスアンプ

171 入出力回路

170 入出力信号

201 インバータ回路

202 2入力NAND回路

203 3入力NAND回路

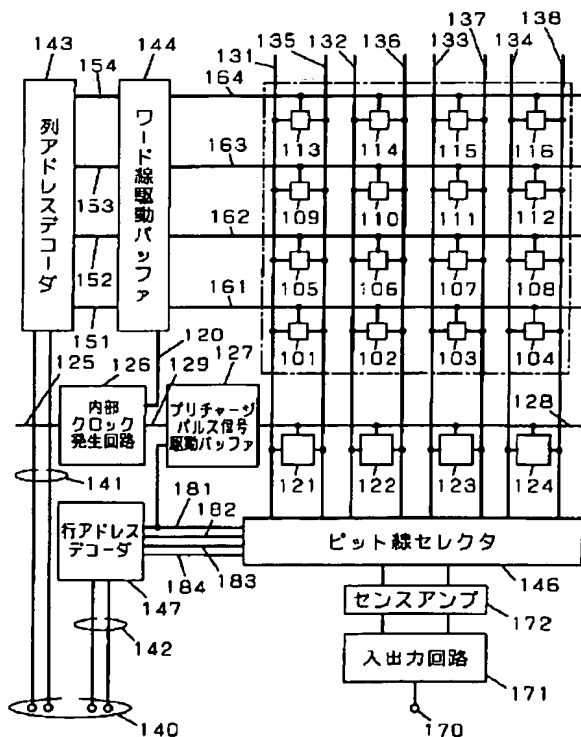
190 アクセス選択信号

191 アクセス選択回路

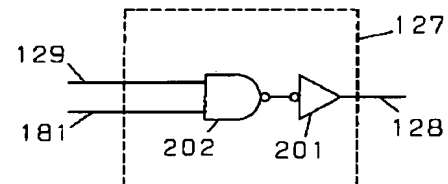
20 192 アクセス選択回路の出力

\*

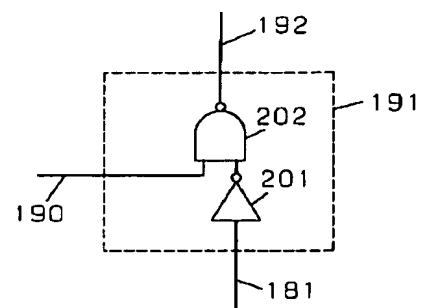
【図1】



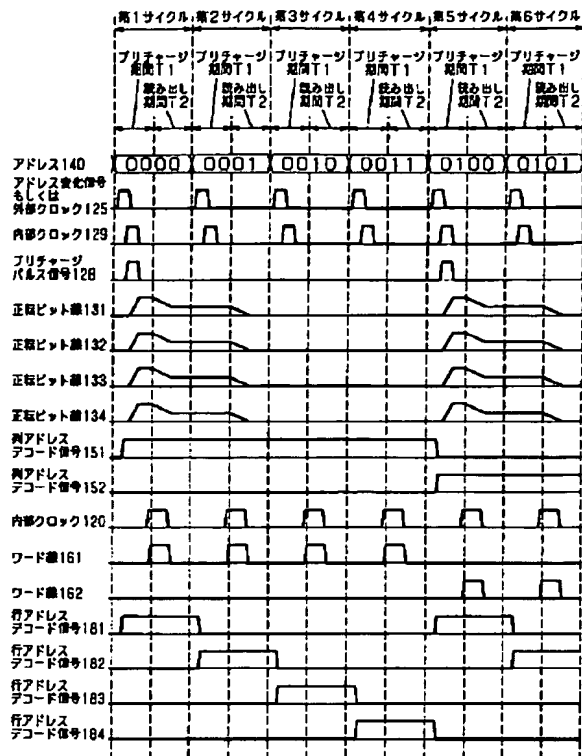
【図2】



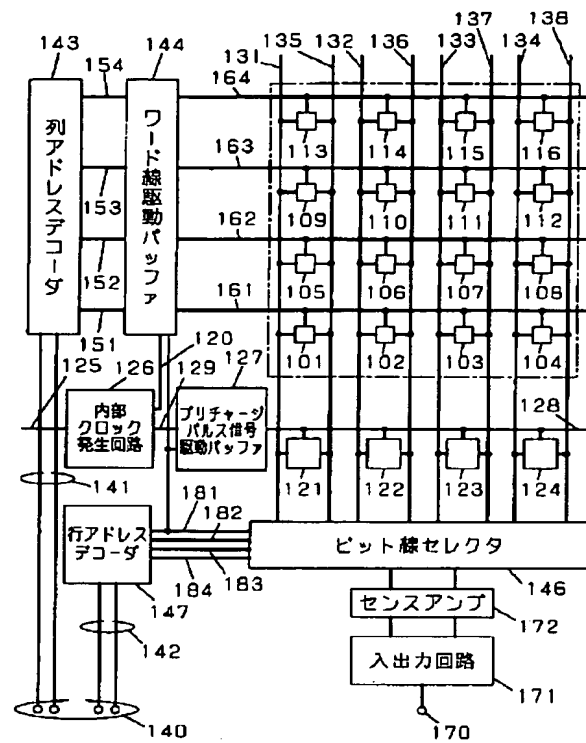
【図8】



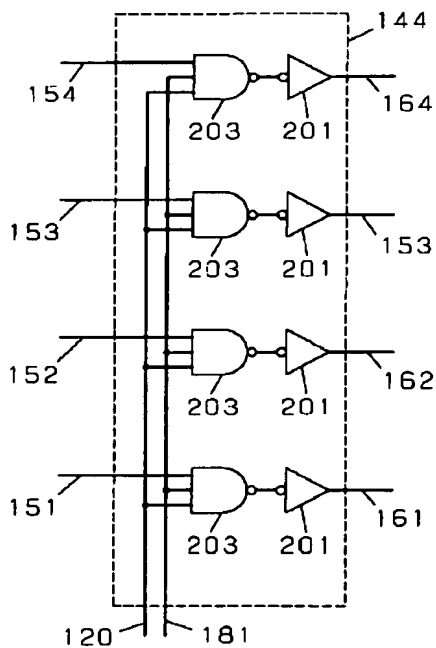
【図3】



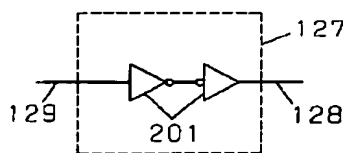
【図4】



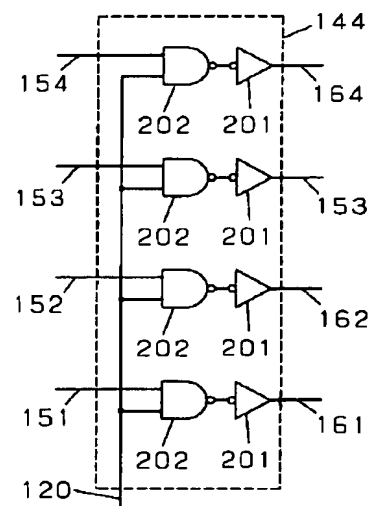
【図5】



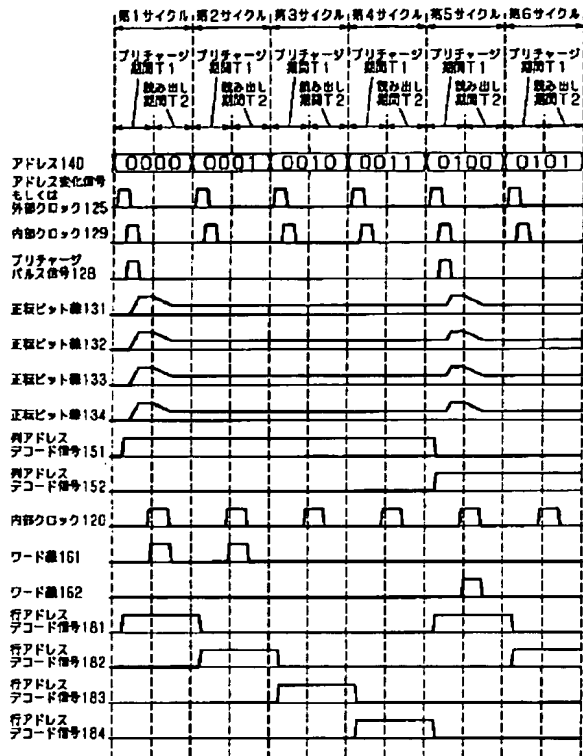
【図10】



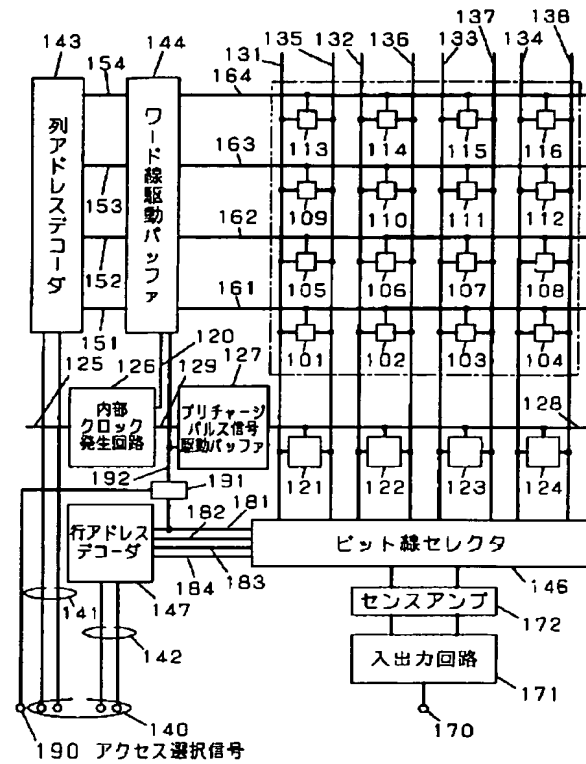
【図11】



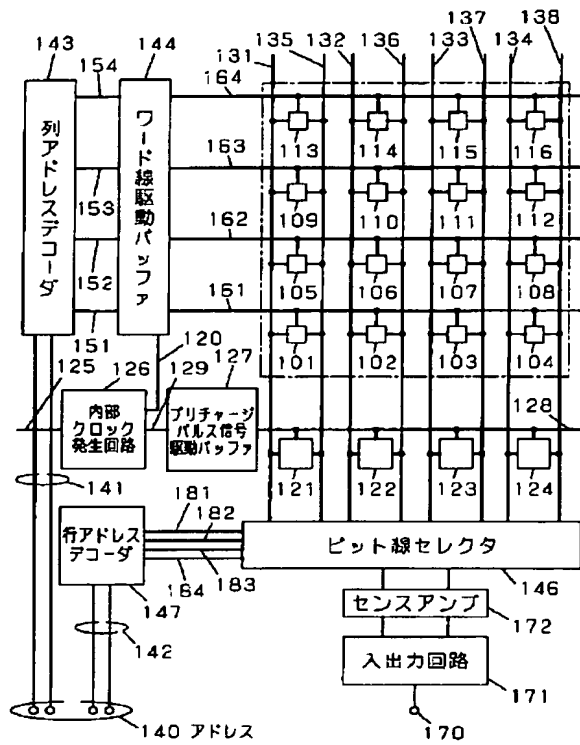
【図6】



【図7】



【図9】



【図12】

